

日本国特許庁
JAPAN PATENT OFFICE

01.09.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2002年11月 6日

REC'D 17 OCT 2003
WIPO PCT

出願番号
Application Number: 特願2002-322244

[ST. 10/C]: [JP2002-322244]

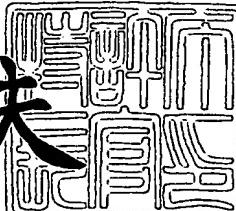
出願人
Applicant(s): 松下電器産業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年10月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 2706440020
【提出日】 平成14年11月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 日野 拓生
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 南 善久
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【弁理士】
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【弁理士】
【氏名又は名称】 内藤 浩樹

【手数料の表示】**【予納台帳番号】** 011305**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9809938

【書類名】 明細書

【発明の名称】 MIM容量

【特許請求の範囲】

【請求項 1】 半導体基板上に、第1の電極（上部電極）、第2の電極（基板に近い側の下部電極）および前記第1の電極と第2の電極の間に第1の絶縁膜を配置した第1の容量と第2の容量を備え、前記第1の容量と第2の両方の容量の第2の電極と基板間に第3のフローティング電極を有し、前記第1の容量と第2の容量を近接させて配置し、前記第1、第2の容量の両方の第2の電極の面積を同時にほぼ全体と重なり合う様に第3の電極を形成、電気的浮遊状態で配置する構成をなし、前記第1の容量、第2の容量のそれぞれの第1、第2の電極間を、容量として使用する2対のMIM（Metal-Insulator-Metal）容量。

【請求項 2】 半導体基板上に、第1の電極（上部電極）および第2の電極（基板に近い側の下部電極）を有し、前記第1の電極と第2の電極の間に第1の絶縁層間膜を配置した第1の容量と第2の容量を備え、前記第1の容量と第2の容量を近接させて配置し、前記第1、第2の容量の両方の第2の電極が1枚の同一形成電極で共通構成されることで、前記第1、第2の容量のそれぞれの第2の電極が直接接続されると同時に、前記第2の電極は電気的浮遊電極として構成され、前記第1および第2の容量のそれぞれの第1の電極間を前記第1と第2の2つの容量を合成容量として使用する、2対のMIM（Metal-Insulator-Metal）容量。

【請求項 3】 本発明の請求項1において前記電気的浮遊電極である第3の電極上の位置に関し、その位置から、前記第2の電極と前記第3の電極間の寄生容量を通して見た第1および第2のそれぞれの第2の電極に対するインピーダンスがほぼ等しくなる様な、前記第3の電極上の位置を接続点として利用して、回路接地に接続する構成の請求項1に記載したMIM容量。

【請求項 4】 本発明の請求項2において前記電気的浮遊電極である第2の電極上の位置に関し、その位置から、前記第1と前記第2の容量を通して見た第1および第2のそれぞれの第1の電極に対するインピーダンスがほぼ等しくなる様な、前記第2の電極上の位置を接続点として利用して、回路接地に接続する構成

の、請求項 2 に記載した MIM 容量。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路において結合回路に使用する容量の構造に関するものである。

【0002】

【従来の技術】

従来の半導体で構成されている MIM 容量の従来の構造図を図 5、図 6 に示す。

【0003】

図 5において第 1 の電極 1 と第 2 の電極 2 と絶縁体 3 を備え、前記第 1 、第 2 の電極が前記絶縁体 3 を挟んだ構成を有しており、半導体基板 5 上に絶縁体 4 で分離されて形成されている（例えば特許文献 1 参照）。

【0004】

図 6においては第 1 の電極 1 と第 2 の電極 2 と絶縁体 3 を備え、前記第 1 、第 2 の電極により前記絶縁体 3 を挟んだ構成を有しており、更に第 2 の電極 2 と半導体基板 5 の間には絶縁体 4 と絶縁体 9 で分離され、回路接地に接続された第 3 の電極 8 を設ける事で、前記第 2 の電極と半導体基板 5 の間を電気シールドする構成をしている。

【0005】

従来構造における図 5、図 6 に示した MIM 容量の等価回路をそれぞれ図 9、図 10 に示す。

【0006】

図 9において容量 C が図 5における第 1 の電極と第 2 の電極間容量であり、容量 C_s と抵抗 R_s は第 2 の電極の半導体基板 5 に対する寄生素子である。

【0007】

図 10において容量 C が図 6における第 1 の電極と第 2 の電極間容量であり、容量 C₂ はシールド電極となる第 3 の電極と前記第 2 の電極間の容量であ

り、容量C_sと抵抗R_sは前記第3の電極の半導体基板5に対する寄生素子であり、抵抗R_Iは前記第3の電極を回路接地に接続するために使用する配線の配線抵抗である。

【0008】

【特許文献1】

特開平7-326712号公報（第1頁、第1図）

【0009】

【発明が解決しようとする課題】

最近の通信分野ではG Hz帯の高周波で動作する回路の利用が増え、MIM容量の高性能化が必要となってきている。例えば入出力回路等の整合回路で使用した場合、寄生素子の抵抗成分による損失が問題となるし、電圧制御発振器等で使用した場合は寄生素子の抵抗成分がQ値の劣化を招き発振器の性能を悪化させる。また、信号線路等に使用した場合も寄生素子の時定数の変動が伝送信号の遅延量を変動させシステムを不安定にするなどの問題が発生する。

【0010】

図6のように図5の第2の電極と半導体基板間に接地された第3の電極を付け加える構成により、第2の電極を半導体基板からシールドし第2の電極に付加される寄生容量を損失抵抗が無く、ばらつきの少ない容量に変換することができる。このことにより図10の容量Cの性能を向上させることができるが、図10の等価回路の容量C₂を接地する配線の抵抗成分R_Iのために完全な対策とはならない。

【0011】

これらの、寄生素子の影響を取り除くために、本発明はMIM容量を使用する上で、これらの寄生容量の影響による回路性能の劣化を防ぐための技術を提供するものである。

【0012】

【課題を解決するための手段】

MIM容量を使用する上で、対基板寄生素子による損失等を削減するために、特に差動線路で使用する場合、2対の容量の半導体基板に近い側の電極と半導体

基板間に前記2対の両方の容量から、寄生容量で結合状態にあり、更に前記2対の両方の基板側電極からの対基板への大半の電束を阻止できるぐらいの面積を持ち他の回路へは非接触の別の金属電極を設け、この非接触の電極が前記2対の容量に印加される同振幅、逆位相の信号からの、同量、逆位相の電荷の充放電を受けることでAC接地状態になり、このAC接地状態により非接触電極からの対基板寄生素子を無視する事ができ、結果として差動線路に挿入される2対の容量が対基板寄生素子の影響を受けないように構成する。

【0013】

【発明の実施の形態】

以下、本発明について、図面を参照しながら説明する。

【0014】

図1に本発明の第1の実施形態を示す。図1において1は第1の容量の第1の電極、2は前記第1の容量の第2の電極、3, 4, 9は絶縁層、5は半導体基板、6は第2の容量の第1の電極、7は前記第2の容量の第2の電極、8は前記第1、第2の容量の両方の第2の電極面に対して同時に面対向する様に前記第1、第2の容量の両方の第2の電極と前記半導体基板5の間に設けられる第3の電極である。

【0015】

前記、図1の等価回路を図11に示す。

【0016】

図11において100は前記第1の容量、101は前記第2の容量、102は前記第1の容量に寄生素子として付加される前記第1の容量の第2の電極と前記第3の電極間の容量、103は前記第2の容量に寄生素子として付加される前記第2の容量の第2の電極と前記第3の電極間の容量、105は前記第3の電極と半導体基板間の寄生容量、104は前記寄生容量105の内部損失抵抗、106は前記第3の電極に相当する部分である。

【0017】

前記、図1に示した構造の本発明第1の実施形態における、容量対を図12に示すような差動回路に差動信号を入力するための結合容量として使用すると、図

11の前記第1、第2の容量の各第2の電極に相当するポイントc点、d点に加わる信号が同振幅、逆位相になり、前記第1、第2の各第2の電極の寄生容量102、103を通して前記第3の電極106に充放電される電荷の和が相殺して零になる。このことにより前記第3の電極106の電位はAC接地状態となり、前記図11における前記第3の電極106と半導体基板間に存在する寄生素子104、105の影響を受けなくなり、半導体基板の影響による損失や容量のQ値の劣化が無くなり、差動信号としての2つの信号の位相のずれ、振幅の差等の問題が生じなくなり、高精度での高品質な回路設計が可能となる。

【0018】

図2に本発明の第2の実施形態を示す。

【0019】

図2において、1は第1の容量の第1の電極、2は第2の容量の第2の電極としても共用される前記第1、第2の容量の共通の第2の電極、3、4は絶縁層、5は半導体基板である。

【0020】

前記、図2の等価回路を図13に示す。

【0021】

図13において、201は第1の容量、202は第2の容量、203、204は前記第1の容量、前記第2の容量の共通の第2の電極と基板間の寄生容量と寄生容量の損失抵抗であり、205は前記第1の容量、前記第2の容量の共通の第2の電極に相当する。

【0022】

前記、図2の構造の本発明第1の実施形態における容量を図14に示した差動信号間に挿入される容量Cのような条件で使用した場合においては、前記、図13の等価回路図の第2の電極205は端子eおよびfから前記第1の容量201と第2の容量202を通じて充放電される電荷の総和が零になるため、前記第2の電極205の電位がAC接地状態となり前記図2の第2の電極2と半導体基板5の間に存在する前記、図13の等価回路に示される寄生容量203と損失抵抗204の影響を受けなくなる。

【0023】

図3に本発明の第3の実施形態を示す。

【0024】

図3に示した実施形態は前記第1の請求項の実施形態の第3の電極を回路接地に接続するための取り出し配線を設け、前記第3の電極を回路設置に接続したものである。

【0025】

前記、第1の実施形態において第1の容量、第2の容量に加えられる信号に歪が含まれている場合や振幅が異なる場合、図11に示す前記第1の実施形態の第3の電極106にリップル電圧が発生し、前記図11における寄生素子104, 105の影響を若干受けるため、前記第3の電極を回路接地に接続して、更に前記第3の電極のシールド効果を強化する構造を有し、前記第3の電極に接続される回路接地に対して、前記第1、第2の容量の各第2の電極から同一インピーダンスになるような構造で前記第3の電極に接地電位を接続することで、前記第1、第2の容量に加えられる2つの信号のバランスを保持する事ができる。

【0026】

図4に本発明の第4の実施形態を示す。

【0027】

図4に示した実施形態は前記第2の請求項の実施形態の第2の電極を回路接地に接続するための取り出し配線を設け、前記第2の電極を回路設置に接続したものである。

【0028】

前記、第2の実施形態において第1の容量、第2の容量に加えられる信号に歪が含まれている場合や振幅が異なる場合、図14に示す前記第2の実施形態の第2の電極205にリップル電圧が発生し、前記図14における寄生素子203, 204の影響を若干受けるため、前記第2の電極を回路接地に接続する事でこの寄生素子の影響を無くす構造を有し、前記第2の電極に接続される回路接地に対して、前記第1、第2の容量の各第1の電極から同一インピーダンスになるような構造で前記第2の電極に接地電位を接続することで、前記第1、第2の容量に

加えられる2つの信号のバランスを保持する事ができる。

【0029】

また、本発明1～4の実施形態において、上部電極の上に更に別の電極を設けて、上部方向のシールド効果を得る構造にしてもよい。

【0030】

また、図2に示した第2の実施形態において、図8に示すように、第1の電極の周辺に第2の電極に接続されたガードを設けてシールド効果を増す構造にしてもよく、同様に第1の実施形態、第3の実施形態、第4の実施形態に対しても同様のガードを設けてもよい。

【0031】

【発明の効果】

以上のように本発明は、対基板寄生素子の影響を受けないような条件でのMIM容量を使用することが可能となり、高周波半導体集積回路において、より高い周波数、より精密な設計を可能とし、高周波半導体集積回路の特性を極めて向上させる事を可能とする手段を実現するための技術を提供するものである。

【図面の簡単な説明】

【図1】

本発明におけるMIM容量において第1の実施形態を示す構造図

【図2】

本発明におけるMIM容量において第2の実施形態を示す構造図

【図3】

本発明におけるMIM容量において第3の実施形態を示す構造図

【図4】

本発明におけるMIM容量において第4の実施形態を示す構造図

【図5】

従来のMIM容量の構造図

【図6】

従来のシールド方法を示すためのMIM容量の構造図

【図7】

従来のMIM容量の使用方法を示すための容量構成図

【図8】

本発明の実施形態を補足説明するためのMIM容量の構成図

【図9】

従来の構造におけるMIM容量の等価回路図

【図10】

従来のシールド方法を利用した場合のMIM容量の等価回路図

【図11】

本発明の第1の実施形態におけるMIM容量の等価回路図

【図12】

本発明の第1の実施形態の使用例を示す図

【図13】

本発明の第2の実施形態におけるMIM容量の等価回路図

【図14】

本発明の第2の実施形態の使用例を示す図

【符号の説明】

1, 2, 6, 7, 8 金属電極

3, 4, 9 絶縁層

5 半導体基板

10 コンタクト

11 ガード電極

100, 101 本発明の第1の実施形態における電極間容量

102, 103 本発明の第1の実施形態における寄生容量

104, 105 本発明の第1の実施形態における寄生素子

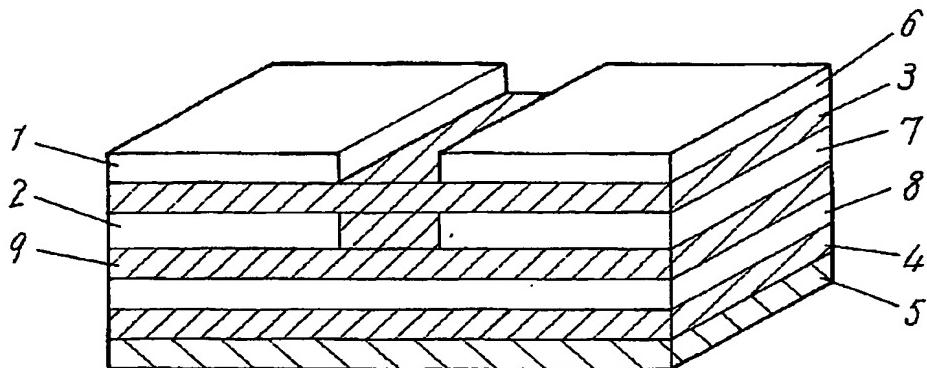
106 本発明の第1の実施形態における第3の電極

201, 202 本発明の第2の実施形態における電極間容量

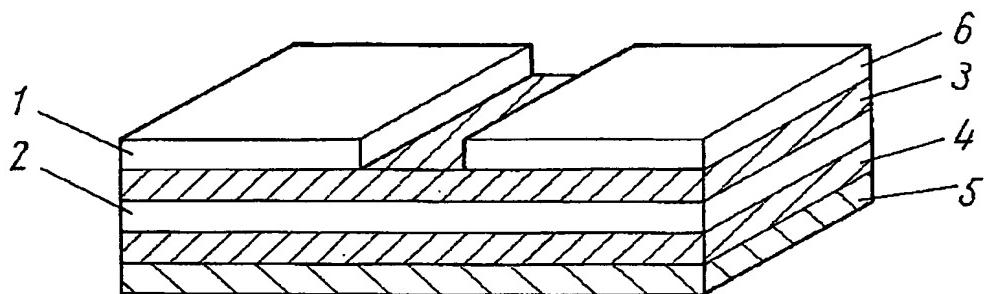
203, 204 本発明の第2の実施形態における寄生素子

【書類名】 図面

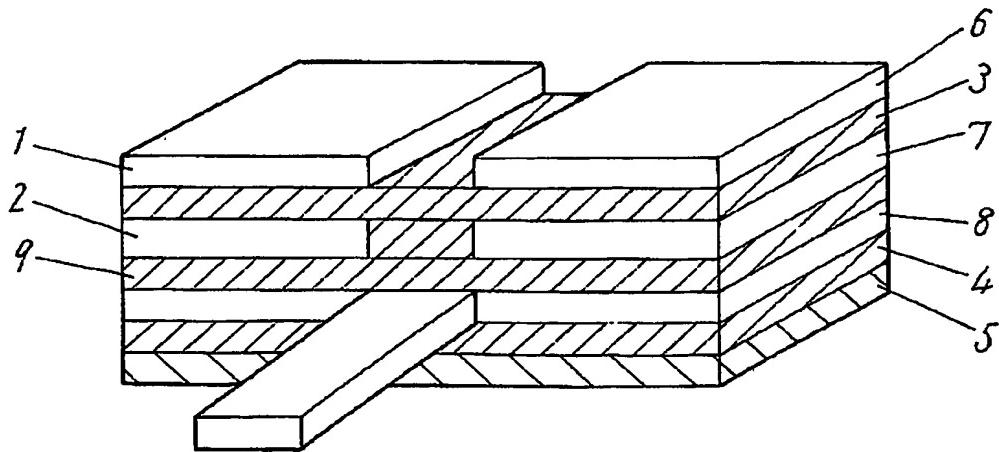
【図 1】



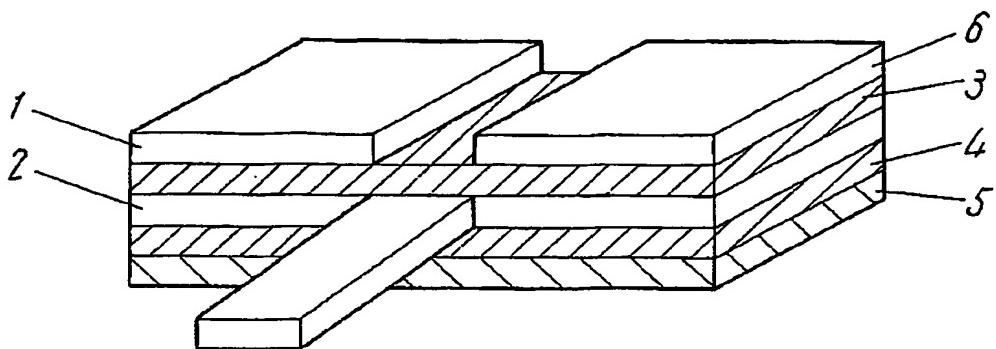
【図 2】



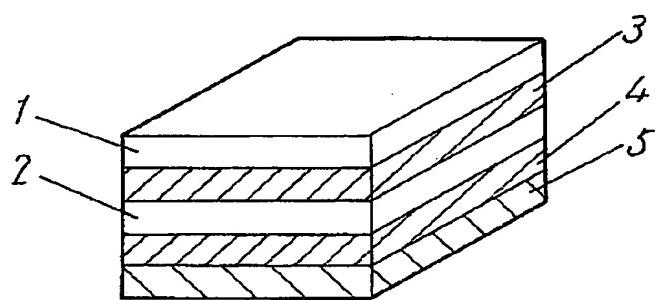
【図 3】



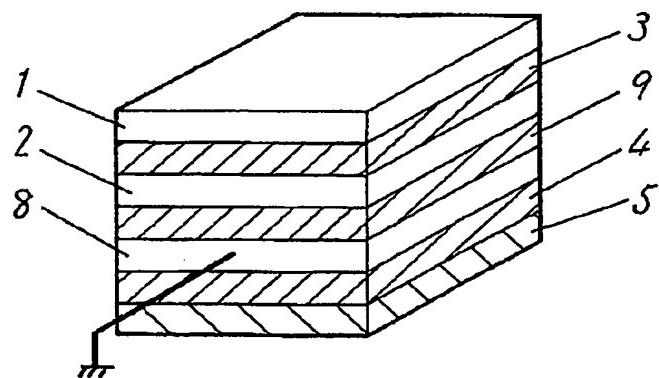
【図4】



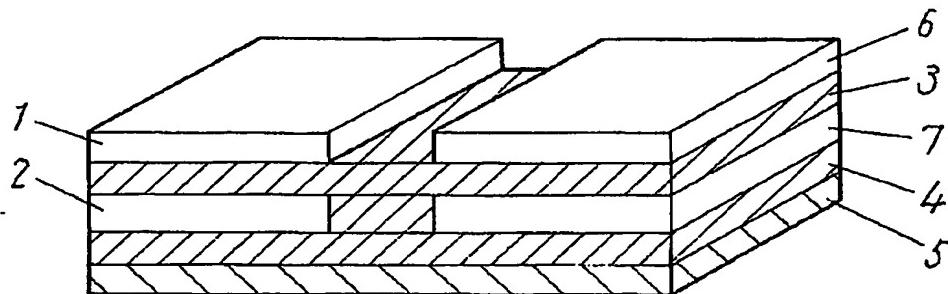
【図5】



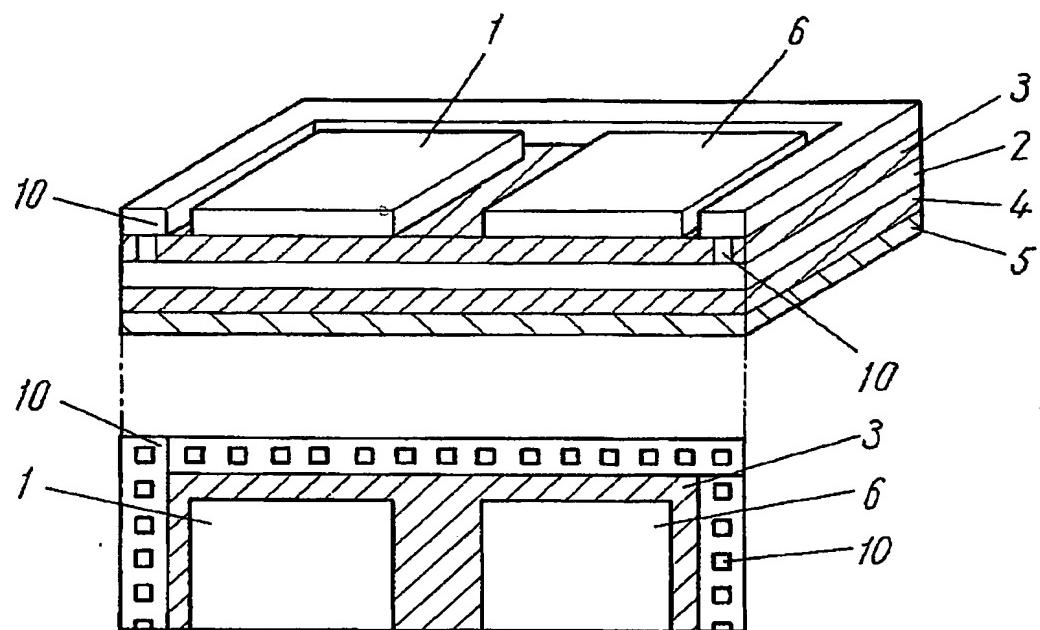
【図6】



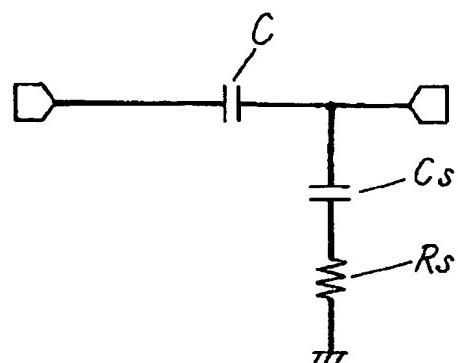
【図7】



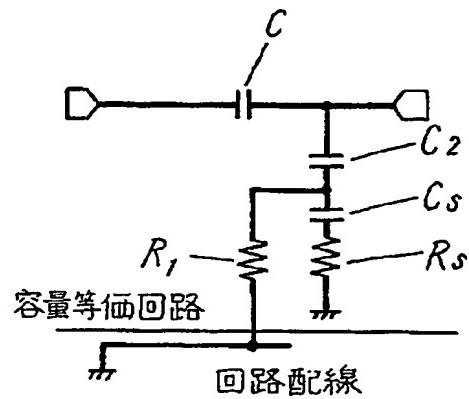
【図8】



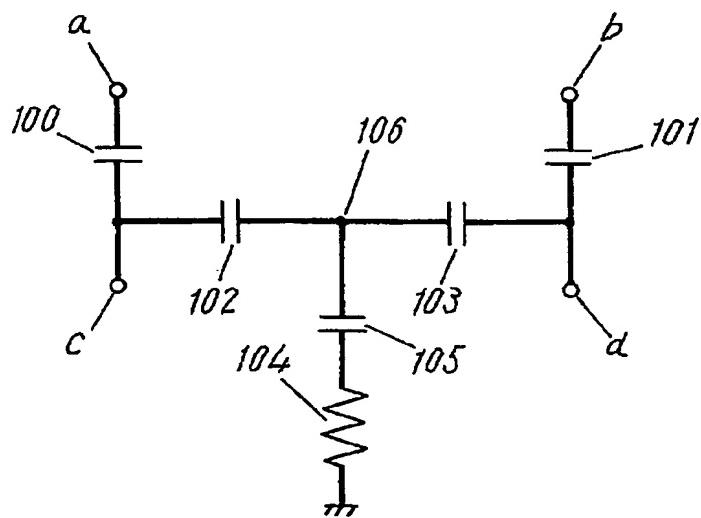
【図9】



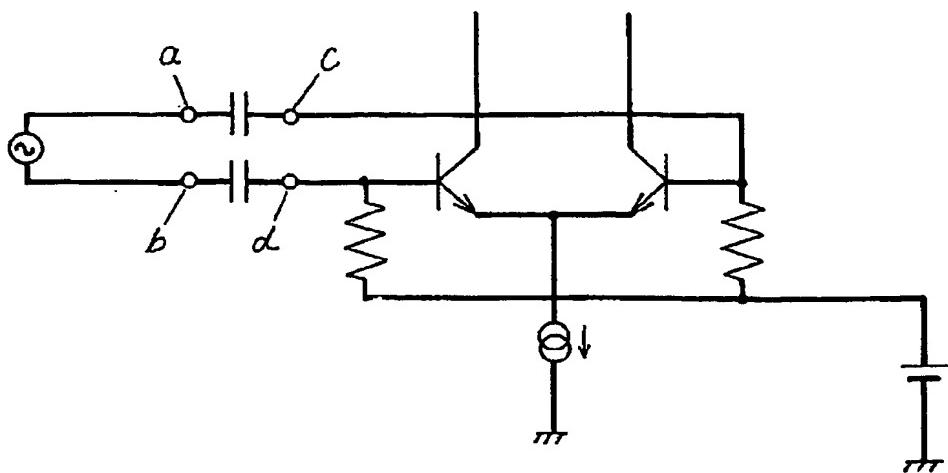
【図10】



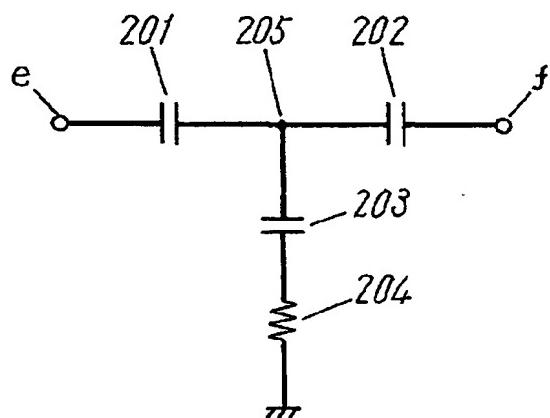
【図11】



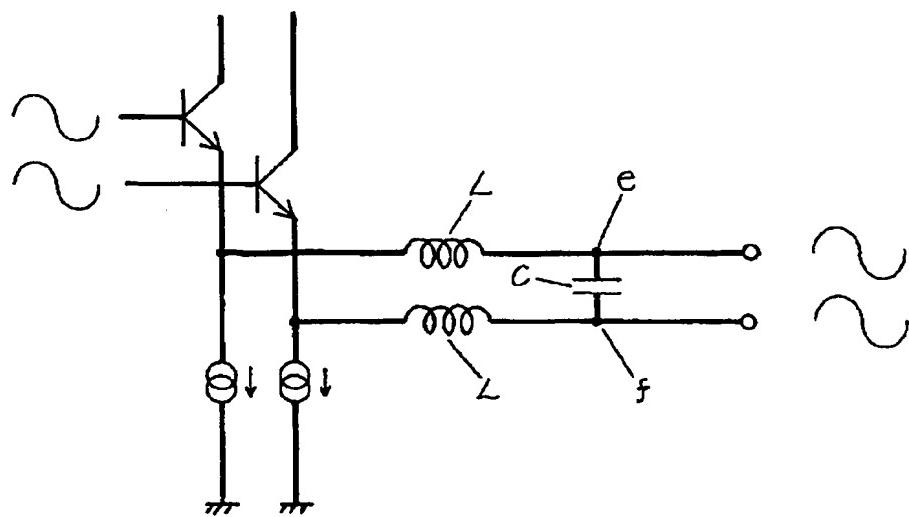
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 従来のMIM容量では金属層－基板間の寄生素子によってMIM容量を使用して構成した回路特性を劣化させることがある。

【解決手段】 半導体において、金属－絶縁体－金属のサンドイッチ構造によって構成する容量 (Metal-Insulator-Metal容量) が、第1の金属層と第2の金属層の間に第1の絶縁層を備え、基板と第2の金属層の間に第3の金属層を備える。さらに、第2の金属層と第3の金属層の間に第2の絶縁層を備え、第3の金属層を接地電位に接続する。第2の金属層－基板間にに入る第3の金属層面積をMIM容量を構成する金属層の面積より小さくすることによって容量のQ値を調整する。

【選択図】 図1

特願2002-322244

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月28日

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社